～SVI-07アーキテクチャによる～

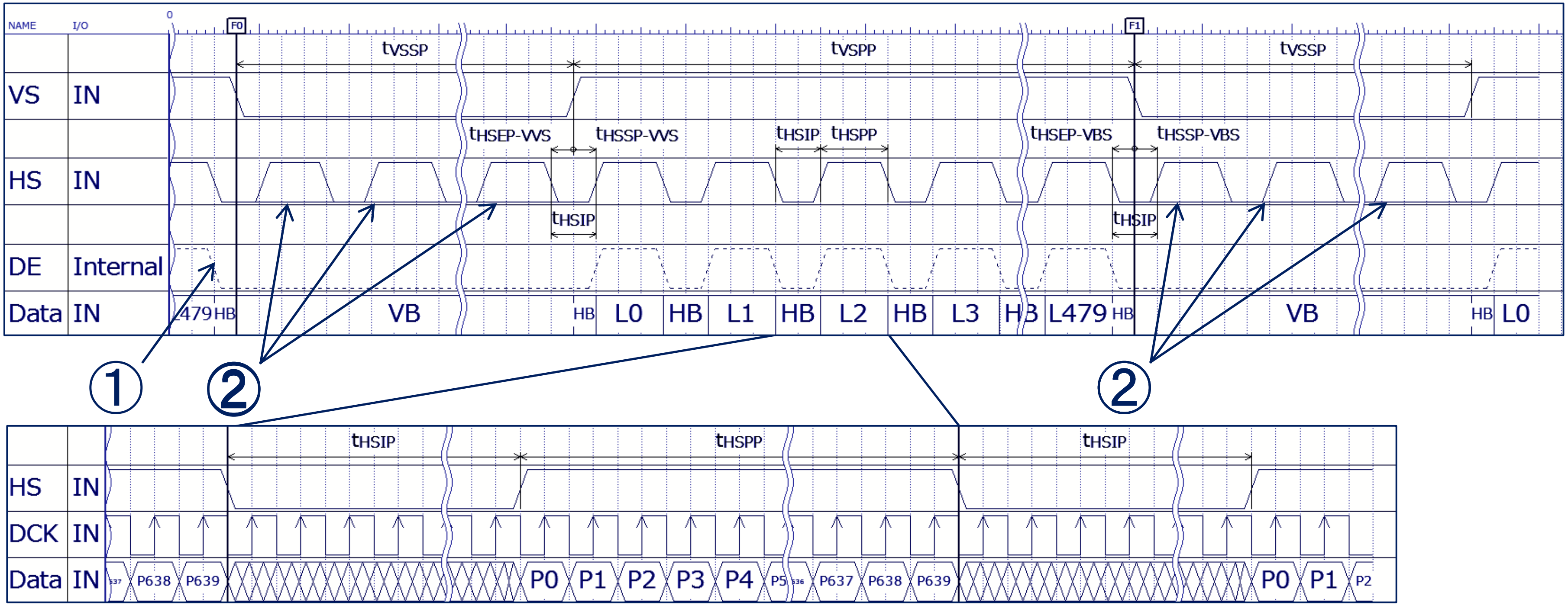
*SVI-07, SVI-06Q, SVM-03, SVO-03共通

ビデオ同期信号の取り扱い

工 藤　健 慈
株式会社ネットビジョン
技術部開発課

2016年03月23日（水）

DEを除くVS,HSおよびDCK入力での画像取込み波形



① 内部生成のDE信号で、論理式（HS & VS）で生成されます。このDE信号により取込むので、tVSSP中のHSのパルスの有無は影響しません。

② 図はVS,HSが共にLow-Activeで、DCKの立下りで出力ドライブ、立上がりで入力サンプリングの場合です。VS,HSおよびDCKの各極性はアプリから変更できます。

③ Dataバスの表記でVBはV-Blank、HBはH-Blankを表し、幅640Pixel、高さ480Lineの場合の例です。

※VSの両エッジとHSのパルス期間（tHSPP）が重なる場合に取込みNGとなります。但し、カスタマイズで対応することも可能です。

DEを除くVS,HSおよびDCK入力での画像取込みのタイミング・パラメータ

項目	記号	設計※1		実測※2		単位	備考
		Min.	Max.	Min.	Max.		
DCKクロック周波数	fDCK	-	100	-	-	MHz	ピクセル・クロック周波数
VSスタート（Low※3）期間	tVSSP	1	-	-	-	DCK Cycle	V-Blank期間に相当
VSパルス（High※3）期間	tVSPP	tHSPP x1	-	-	-	DCK Cycle	V-Valid期間に相当
HSインターバル（Low※3）期間	tHSIP	1	-	-	-	DCK Cycle	H-Blank期間に相当
HSパルス（High※3）期間	tHSPP	1	8191	-	-	DCK Cycle	H-Valid期間に相当
tVSSP期間中で最後のtHSPP終了からtVSPP開始までの期間	tHSEP-VVS	0	-	-	-	DCK Cycle	0の場合、対となるtHSSP-VVSが1以上でなければならない
tVSPP開始から最初のtHSPP開始までの期間	tHSSP-VVS	0	-	-	-	DCK Cycle	0の場合、対となるtHSEP-VVSが1以上でなければならない
tVSPP期間中で最後のtHSPP終了からtVSSP開始までの期間	tHSEP-VBS	0	-	-	-	DCK Cycle	0の場合、対となるtHSSP-VBSが1以上でなければならない
tVSSP開始から最初のtHSPP開始までの期間	tHSSP-VBS	0	-	-	-	DCK Cycle	0の場合、対となるtHSEP-VBSが1以上でなければならない
水平画素数	Width	1	8191	-	-	Pixel	1[DCK Cycle/Pixel]の場合
垂直画素数	Height	1	8191	-	-	Line	1フレーム当たりのライン数

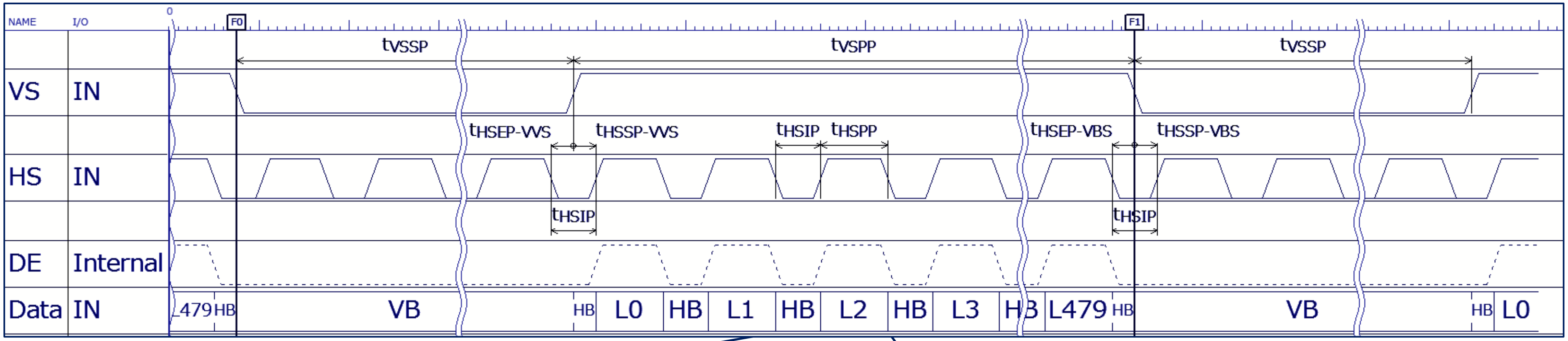
※1.SVI-07アーキテクチャによる設計時点での理論値で、標準SVI-06Q, SVI-07, SVM-03に適用されます。カスタマイズ版は例外となります。

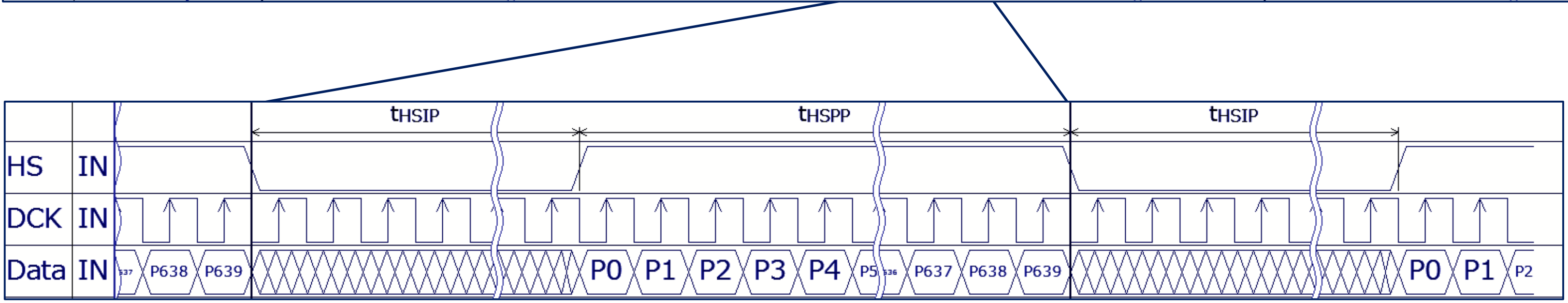
※2.弊社SVO-03を使用による実測値です。SVO-03が出力可能な範囲で動作確認した結果となります。

※3.タイミング図に示す通りVS,HS信号（同期パルスとしての）極性がLow-Activeの場合で、High-Activeの場合は逆極性になります。

※SVI-03&06でのタイミング・チャートで比較した場合に、標準-1、標準-2、オプション-1、オプション-2とされる全てのタイミングで共通に取り込み可能となっています。

VS,HSおよびDCK入力での画像取込み波形（簡略表記）





- ✓VSの両エッジとHSのパルス期間（tHSPP）が重なる場合に取込みNGとなります。但し、カスタマイズで対応することも可能です。
- ✓従来SVI-03&06のタイミング・チャートで、標準-1、標準-2、オプション-1、オプション-2の全タイミングで共通に取込み可能です。