

USB3.0 映像キャプチャボード

[SVI-09 Rev. 3]

ハードウェア仕様書

Document Revision: 2.9

株式会社ネットビジョン

改訂履歴

版数	日付	内容	担当
1.0		初版（新規作成）	山田
1.1	16/10/19	CN3 位置関係図の追加	山田
2.0	18/12/14	SVI-06互換モードを追加	柏木
2.1	18/12/28	JP2の説明を変更	柏木
2.2	19/1/17	SW2の説明を変更	柏木
2.3	19/2/15	SW2 #8 機能の誤記を修正	薄葉
2.4	19/3/25	UVCモードを正式追加	柏木
2.5	19/5/30	Rev2ボードの情報を追加	柏木
2.6	19/12/5	概要に互換モードの説明を追加	柏木
2.7	20/4/17	概要の互換モードのソフト構成について修正	柏木
2.8	20/6/19	互換モードをベンダーモードへ名称変更とそれに伴う修正、LEDについての記述の修正、Rev. 1に関する項目の削除、誤記修正	鈴木
2.9	22/2/27	出荷時のモード設定記述を修正（ベンダーモード） 基板リビジョン Rev. 3の内容を反映	折笠

目次

1. 概要	1
1.1. 諸元	1
2. ベンダーモードの動作詳細	2
2.1. ベンダーモードの主な機能および特徴	2
2.2. 接続構成	2
2.3. ベンダーモードでの設定手順	3
3. UVC モードの動作詳細	3
3.1. UVC モードの主な機能および特徴	3
3.2. 接続構成	3
3.3. UVC モードの設定手順	4
4. SVI-09 のブロック図	5
5. SVI-09 ボードの外形	6
5.1. 外観写真	6
5.2. 寸法図	7
6. コネクタ仕様	9
6.1. CN1: サブ電源コネクタ	9
6.2. CN3: ターゲット接続コネクタ A	10
6.3. CN4: ターゲット接続コネクタ B	14
6.4. CN5: ターゲット接続コネクタ C	15
6.5. CN4 と CN5 の位置関係	15
6.6. 入力データ構成表	16
7. 各部詳細	16
7.1. SW1: プッシュ・スイッチ	16
7.2. SW2: DIP スイッチ	16
7.2.1. ベンダーモード	16
7.2.2. UVC モード	17
7.3. LED1-10: 動作状態表示	17
7.4. RV1, RV2, RV3: VDDH, VDDL, VDDP 調整用可変抵抗	18
7.5. JP2: VDDP 選択用ジャンパ	18
7.6. JP3, JP4: VIOX1, VIOX2 設定用ジャンパ	18
8. チェック端子	19

9.	ターゲット用電源	19
9.1.	VDDH: ターゲットデバイス用システム電源	19
9.2.	VDDL: ターゲットデバイス用 IO 電源	19
9.3.	VDDP: ターゲットデバイス用補助電源	19
9.4.	CN4,5 入出力回路概略図	20
9.5.	CN3 入出力回路概略図	20
10.	注意事項	20
11.	Appendix	21
11.1.	CN2: USB3.0 コネクタ	21
11.2.	CN6: FPGA-JTAG コネクタ	21
11.3.	CN7: FX3-JTAG コネクタ	22

1. 概要

本書は、イメージセンサから出力される映像信号を USB3.0 接続でキャプチャするためのボード「SVI-09」のハードウェア仕様書です。

SVI-09 には **ペンダーモード**(旧 SVI 互換モード)と **UVC モード**の 2 つのモードがあります。ペンダーモードは SVI-06 の互換性のあるモードで、ペンダークラスドライバで動作します。ペンダーモードの大きな特徴として、キャプチャ中に画サイズが変わっても追従して取り込めることです。一方、UVC モードは USB Video Class 準拠のビデオキャプチャデバイスとして動作するモードであり、既存のライブラリやソフトウェアを使用してさまざまな OS でイメージセンサの評価やアルゴリズム開発を行うことができます。

ペンダーモードと UVC モードは、基板上の DIP スイッチ(SW2) の 8 番で切り替えることができます。8 番オンでペンダーモード、オフで UVC モードとして動作します。両モードとも、1920x1080 60FPS 以上の非圧縮映像転送をサポートしています。



1.1. 諸元

- ・ 電源: USB バス給電(外部給電も可能) / +5V 0.7A typ.
- ・ 入力フォーマット (CN4, 5 経由):
 - パラレル映像信号 (PCLK/VSYNC/HSYNC; Embedded Sync (BT.656) 対応可)
 - ◇ PCLK 150MHz 以下のセンサに対応
 - ◇ 入力ビット幅: 8bit / 16bit / 24bit / 32bit
- ・ 入力フォーマット (CN3 経由): ※オプション対応
 - パラレル映像信号 (PCLK/VSYNC/HSYNC; Embedded Sync (BT.656) 対応可)
 - LVDS 信号(最大 12 Data Lanes + 2 Clock Lanes)
 - MIPI 信号(最大 4 レーン x 2ch)
 - 他
- ・ 入力解像度: 最大 8192x8192 pix,
- ・ 出力: USB3.0 (USB Video Class または 独自ドライバで動作)
- ・ 搭載 FPGA: Artix7 - XC7A35T-1FGG484C

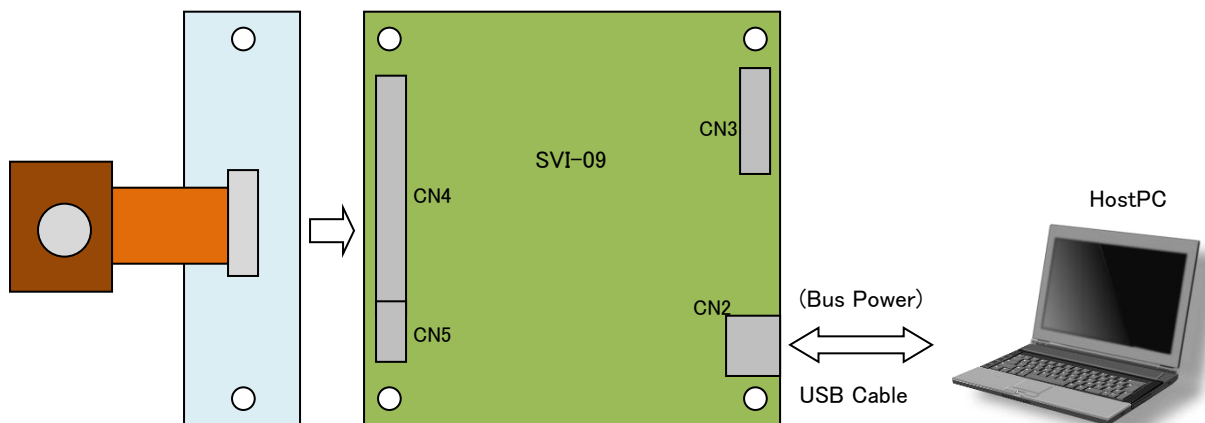
2. ベンダーモードの動作詳細

本章では、ベンダーモード について説明します。

2.1. ベンダーモードの主な機能および特徴

- ・ 弊社 SVI-06 と互換性のあるモードで、ベンダークラスドライバで動作します。
- ・ 弊社が提供する専用 API、専用ドライバを用いて動作します。
- ・ CN4/5 からのパラレル入力をサポートします。
- ・ モニタリングモード、レコーディングモードの2つのモードに対応しています。
- ・ 1920x1080 60FPS 以上の非圧縮映像転送をサポートしています。
- ・ 弊社製品 SVI-06との差異は下記の「SVI-06とSVI-09の違い(pdf)」をご参照ください。
https://net-vision.co.jp/product/dl/differenceSVI-06_SVI-09.pdf
- ・ I2C通信機能をサポートしています。
- ・ ホストPCへの定期情報通知機能があります。
- ・ カメラモジュールからの画像データは8bit(YUV,4:2:2)、8bit(RGB、5:6:5)、16bit(YUV,4:2:2)、16bit(RGB、5:6:5)、8bit(RAW)、10bit(RAW)、12bit(RAW) の入力が可能。
- ・ 8ビットの汎用出力ポートと8ビットの汎用の入力ポートを搭載することにより評価ボードへの設定、ステータス読み込み等が可能です。
- ・ 画像CLK用PLL内臓クロックジェネレータをFPGAに搭載することにより、任意にカメラモジュールへのシステムクロックを変更することが可能です。

2.2. 接続構成



2.3. ベンダーモードでの設定手順

以下に必要な設定項目を列挙します。

・ターゲット側電源電圧 (VDDL) の設定

ターゲットデバイスの接続前に、VDDL をイメージセンサや変換ボードの IO 電圧に合わせる必要があります。出荷時は 3.3V に設定されています。

・ターゲットへのマスタークロックの初期値は 54MHz となっています。SVI-06 と違い、ボード上にクロック発生器がありませんので、起動後 PC アプリより設定を変更することができます。

・DIP SW の設定

ターゲットデバイスへのマスタークロック出力分周、起動時のカメラ電源 OFF 設定、ボード番号指定など、DIP SW を設定する必要があります。設定については 7.2 節を参照してください。

・PC からの初期設定

弊社アプリ、または弊社 API を使用したアプリよりピクセルフォーマット等の初期設定を行う必要があります。弊社アプリを使用する際は、CD に同梱されているソフトウェア「SVImon」によって行います。SVImon の操作については、「SVI ソフトウェアマニュアル」を参照してください。

3. UVC モードの動作詳細

本章では、UVC モード について説明します。

3.1. UVC モードの主な機能および特徴

- ・ USB Video Class (UVC) 準拠なので、USB 接続の一般的な Web カメラと同じような感覚で使用できます。
- ・ ドライバ不要で動作します。DirectShow、OpenCV、ROS 等さまざまなライブラリを使用できます。
- ・ Windows / Ubuntu (Linux) の OS に対応しています。
- ・ Extension Unit による I2C 転送や複数台接続によるマルチチャンネルのキャプチャをサポートしています。
- ・ 付属 CD に専用 DirectShow キャプチャソフト(NVCap)を同梱しています。
- ・ USB3.0 の高速転送により、最大 3.2 Gbps (理論値)の映像データを非圧縮で取り込むことができます。

3.2. 接続構成

2.2.項と同一です。

3.3. UVC モードの設定手順

UVC モードでは、初回使用時にイメージセンサの仕様に合わせた初期設定が必要になります。

本設定がイメージセンサの仕様と異なる場合、正常にキャプチャすることができません。

以下に必要な設定項目を列挙します。

・ターゲット側電源電圧 (VDDL) の設定

ターゲットデバイスの接続前に、VDDL をイメージセンサや変換ボードの IO 電圧に合わせる必要があります。出荷時は 3.3V に設定されています。

・DIP SW の設定

ターゲットデバイスの出力ビット幅により、DIP SW を設定する必要があります。設定については 7.2 節を参照してください。

・PC からの初期設定

PC から解像度やピクセルフォーマット等の初期設定を行う必要があります。この設定は、CD に同梱されているソフトウェア「SVMctl」によって行います。SVMctl の操作については、「SVMctl ソフトウェアマニュアル」を参照してください。

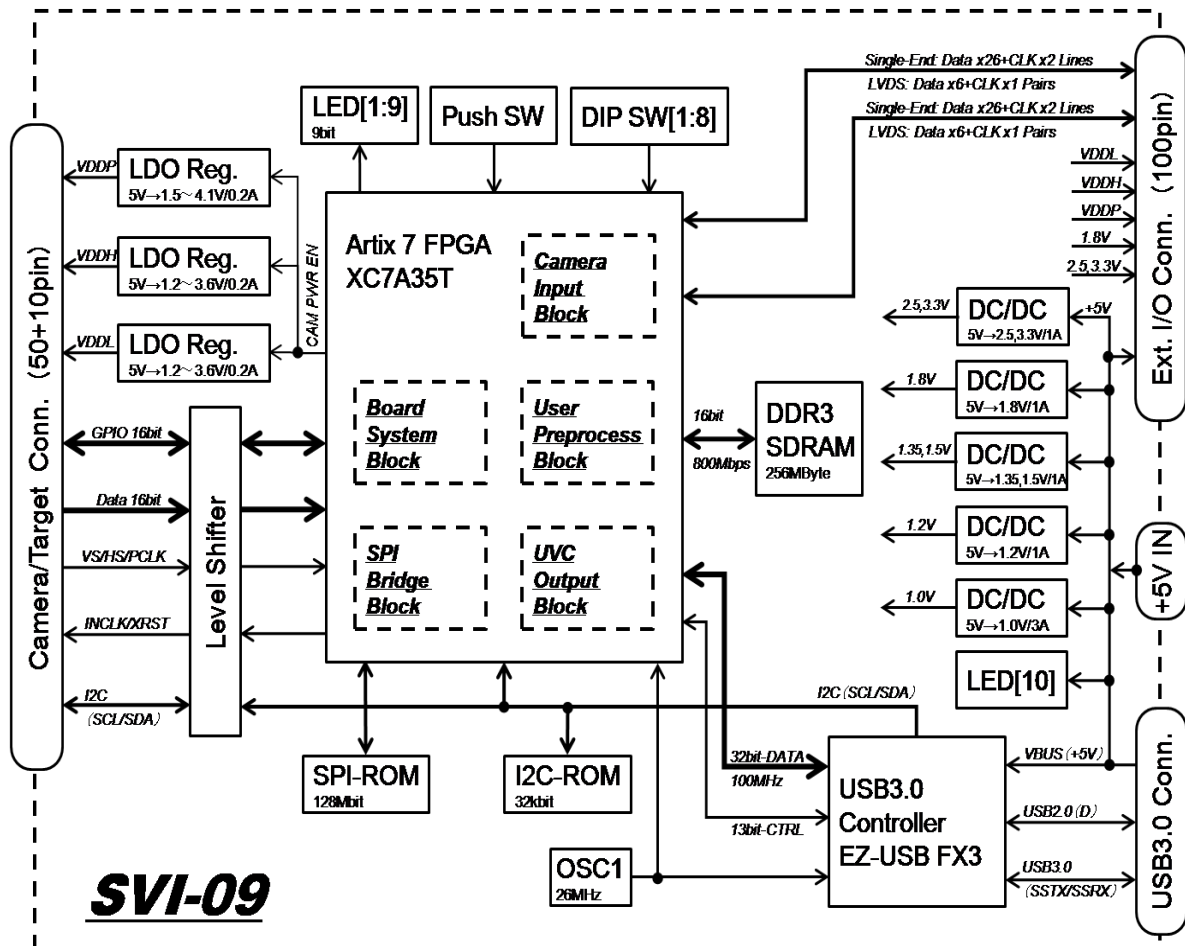
出荷時の設定は以下の通りです。

ピクセルクロック: 立ち上がりでサンプル
水平同期信号: ローアクティブ
垂直同期信号: ローアクティブ
解像度: 1280x720
フレームレート: 30 FPS
色空間: UYVY

– SVMctl は適宜アップデートされることがあります。最新バージョンは弊社 Web ページよりダウンロードすることができます。

4. SVI-09 のブロック図

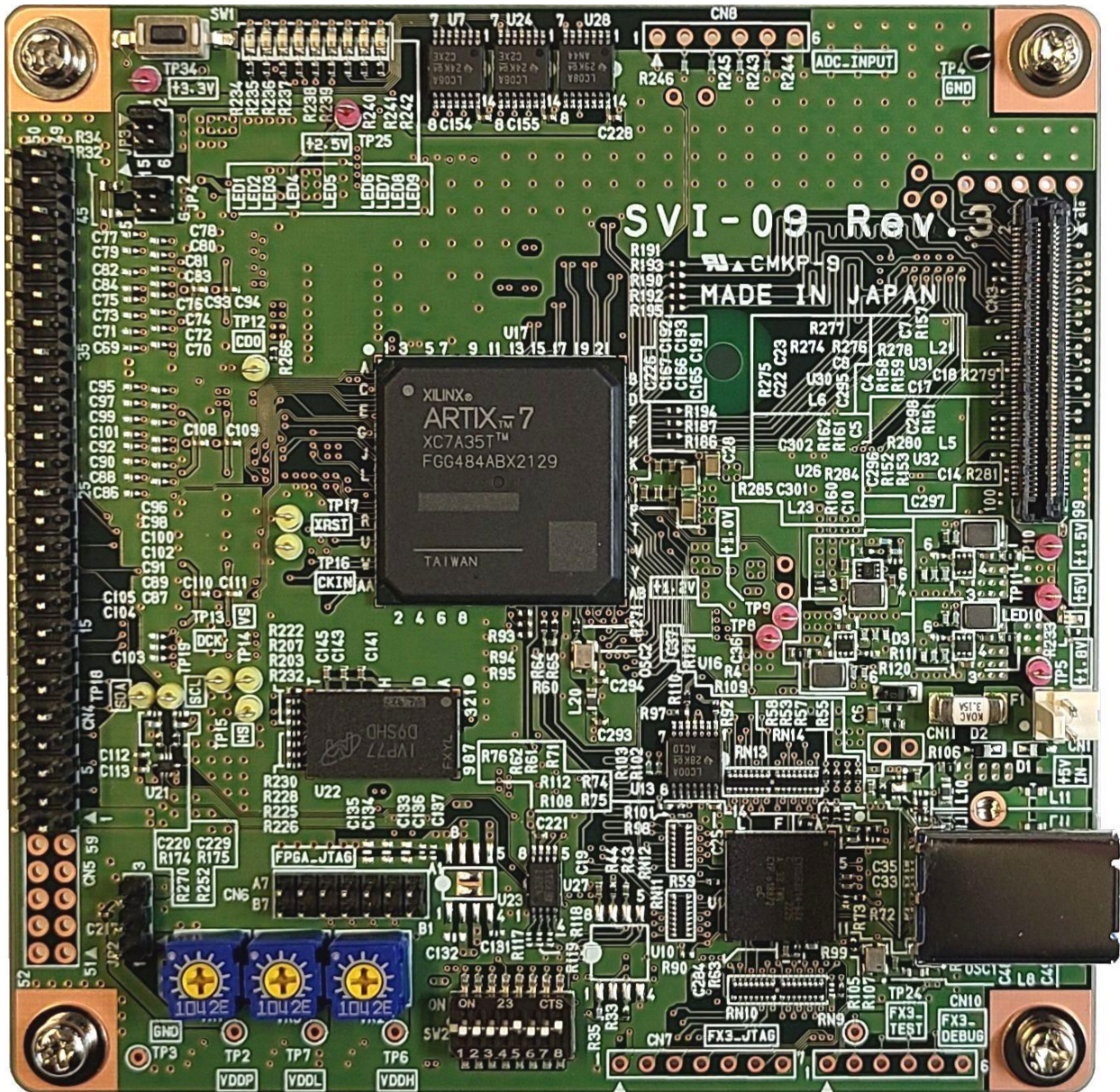
以下に SVI-09 ボードの概略ブロック図を示します。



5. SVI-09 ボードの外形

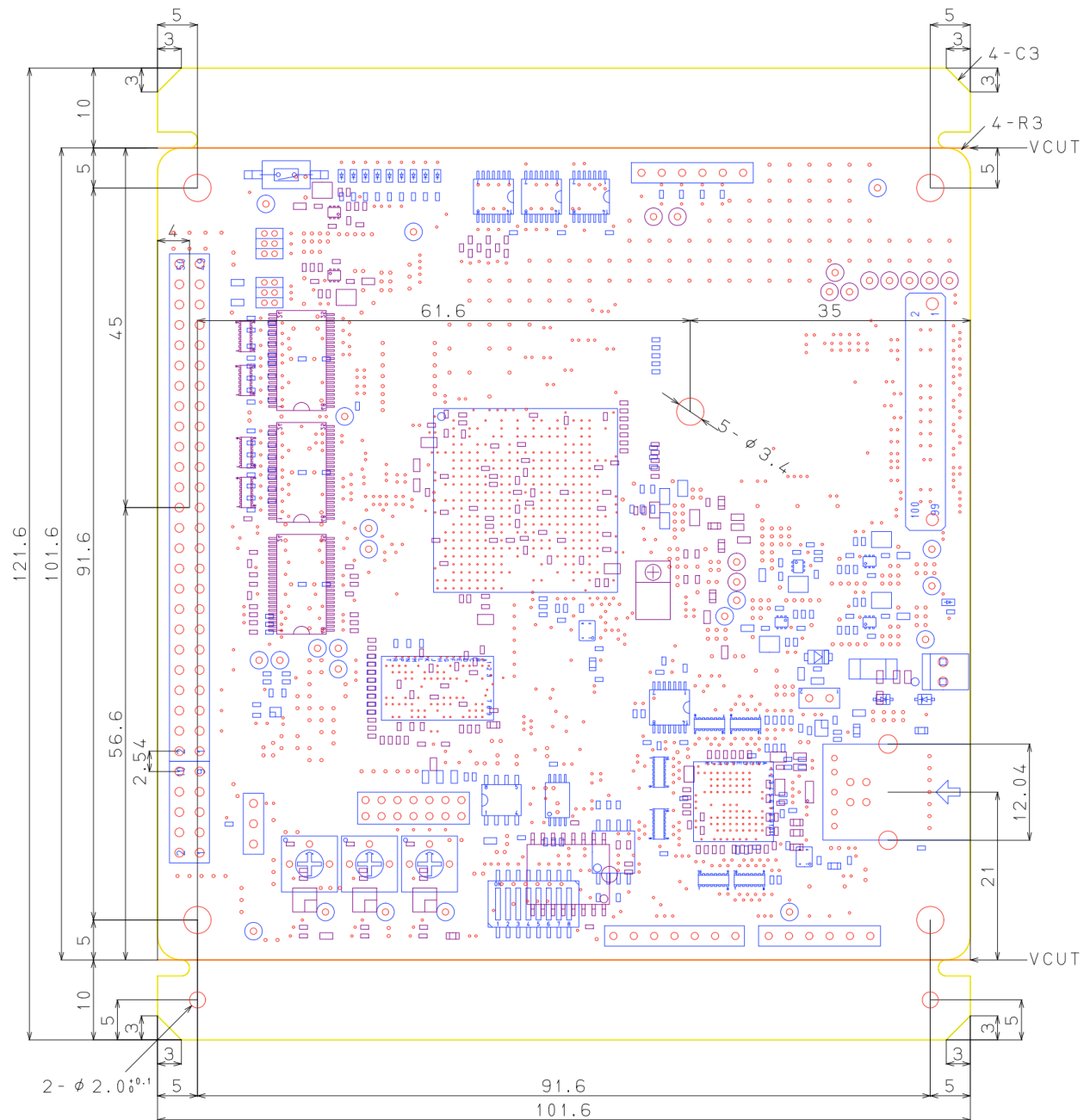
以下に SVI-09 ボードの外形に関する写真や図を掲載します。

5.1. 外観写真



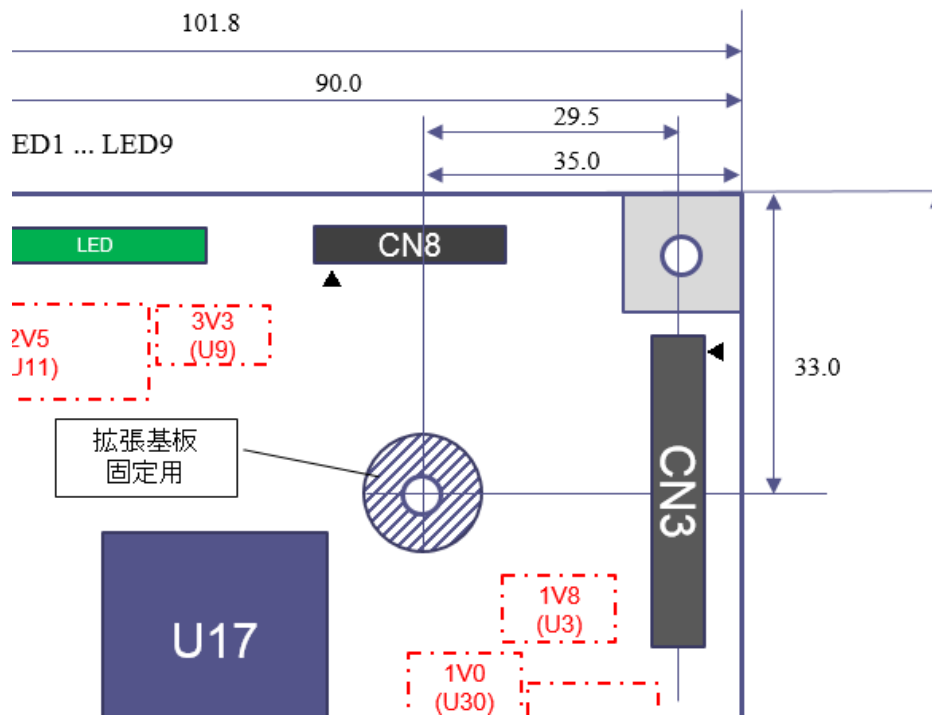
5.2. 寸法図

以下に SVI-09 ボードの寸法図を掲載します。現在の SV シリーズ基板同様に縦横とも 101.6[mm]となっており、SVI-06/07 基板と比較して小型になっています。



・CN3 位置関係

CN3 と拡張基板固定用穴の位置関係を下記に示します。CN3 中心と拡張基板固定用穴は同一線上になりますが、基板4隅の穴位置とは同一線上にありませんので、ご注意ください。



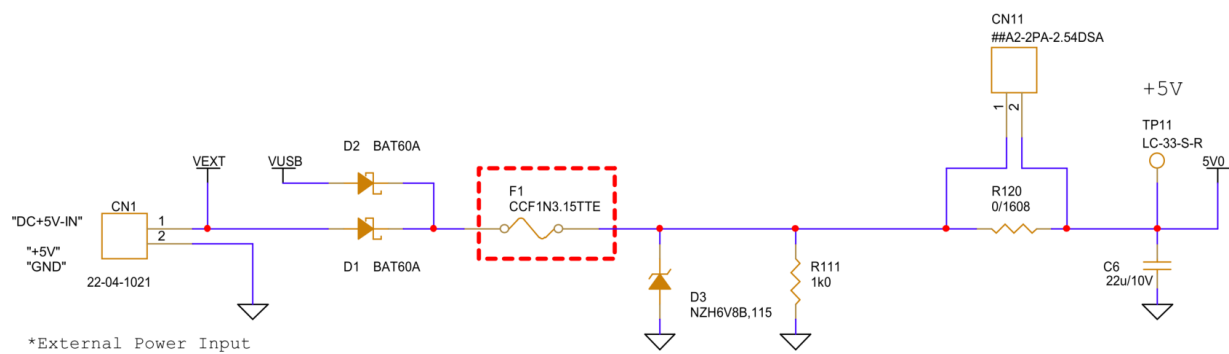
6. コネクタ仕様

本章では、カメラとの接続や通常の使用時に考慮すべきコネクタの仕様について記述します。その他のコネクタについては、Appendix に記述があります。

6.1. CN1: サブ電源コネクタ

USB バスパワーでは電源容量を満たせない場合、または USB バスパワー経由で給電しない場合に使用するための電源コネクタです。

使用コネクタ		22-04-1021: Molex					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	+5V	IN	DC5V 電源入力	2	GND	-	電源グラウンド



- CN1 と USB コネクタからの+5V は、上記回路図のようにダイオード OR で接続されています。
- 上図は Rev.3 についての回路図です。Rev.1、Rev.2 の場合は異なりますので、お問い合わせ下さい。

6.2. CN3: ターゲット接続コネクタ A

ターゲットとなるイメージセンサを接続するためのコネクタです。LVDS 映像など CN4, 5 のサポート範囲を超える信号の場合、これらのコネクタを使用する必要があります。

– 下記ピンアサインは参考です。ピンの詳細な機能についてはシステムに応じて決定します。

使用コネクタ		LSHM-150-03.0-F-DV-A-N-K-TR / Samtec	
ピン番	信号名	兼用機能 (参考)	備考
1	EXCLK1	INCK_1 / INCK	EXCLK [1:0]: Clock Input / Output
2	EXCLK0	INCK_2 / XCLR	
3	EXBUS1	XCLR_1 / VS	EXBUS [17:0]: GPIO
4	EXBUS0	XCLR_2 / HS	
5	EXBUS3	I2CSCL_1 / SPISCK	
6	EXBUS2	I2CSCL_2 / SPIXCE	
7	EXBUS5	I2CSDA_1 / SPISDO	
8	EXBUS4	I2CSDA_2 / SPISDI	
9	GND		
10	GND		
11	EXADC_N1	EXTVS_C	EXADC_N [3:0]: ADC Input – / GPIO
12	EXADC_N0	EXTHS_C	
13	EXADC_P1	PINSWAP_1	EXADC_P [3:0]: ADC Input + / GPIO
14	EXADC_P0	PINSWAP_2	
15	EXADC_N3	GPIO-1_1	
16	EXADC_N2	GPIO-1_2	
17	EXADC_P3	BTA_1	
18	EXADC_P2	BTA_2	
19	GND		
20	GND		
21	EXBUS7	LP-A-N_1	LP-x-N_n: MIPI Low Power (LVCMOS) – (n determines channel number (0-1))
22	EXBUS6	LP-A-N_2	
23	EXBUS9	LP-A-P_1	LP-x-P_n: MIPI Low Power (LVCMOS) +
24	EXBUS8	LP-A-P_2	
25	EXBUS11	LP-B-N_1	
26	EXBUS10	LP-B-N_2	
27	EXBUS13	LP-B-P_1	
28	EXBUS12	LP-B-P_2	
29	EXBUS15	LP-C-N_1	
30	EXBUS14	LP-C-N_2	
31	EXBUS17	LP-C-P_1	
32	EXBUS16	LP-C-P_2	
33	EXLVDS_N1	LP-D-N_1	
34	EXLVDS_N0	LP-D-N_2	
35	EXLVDS_P1	LP-D-P_1	
36	EXLVDS_P0	LP-D-P_2	

37	GND		
38	GND		

使用コネクタ		LSHM-150-03.0-F-DV-A-N-K-TR / Samtec	
ピン番	信号名	兼用機能 (参考)	備考
39	EXLVDS_N3	HS-A-N_1	EXLVDS_N [11:0]: LVDS - (configurable as GPIO) HS-x-N_n: MIPI High Speed (LVDS) -
40	EXLVDS_N2	HS-A-N_2	
41	EXLVDS_P3	HS-A-P_1	EXLVDS_P [11:0]: LVDS + (configurable as GPIO) HS-x-P_n: MIPI High Speed (LVDS) +
42	EXLVDS_P2	HS-A-P_2	
43	GND		
44	GND		
45	EXLVDS_N5	HS-B-N_1	
46	EXLVDS_N4	HS-B-N_2	
47	EXLVDS_P5	HS-B-P_1	
48	EXLVDS_P4	HS-B-P_2	
49	GND		
50	GND		
51	EXLVDS_CLK_N1	HS-E-N_1	EXLVDS_CLK_N [1:0]: LVDS Clock - / GPIO
52	EXLVDS_CLK_N0	HS-E-N_2	
53	EXLVDS_CLK_P1	HS-E-P_1	EXLVDS_CLK_P [1:0]: LVDS Clock - / GPIO
54	EXLVDS_CLK_P0	HS-E-P_2	
55	GND		
56	GND		
57	EXLVDS_N7	HS-C-N_1	
58	EXLVDS_N6	HS-C-N_2	
59	EXLVDS_P7	HS-C-P_1	
60	EXLVDS_P6	HS-C-P_2	
61	GND		
62	GND		
63	EXLVDS_N9	HS-D-N_1	
64	EXLVDS_N8	HS-D-N_2	
65	EXLVDS_P9	HS-D-P_1	
66	EXLVDS_P8	HS-D-P_2	
67	GND		
68	GND		
69	EXLVDS_N11	LP-E-N_1	
70	EXLVDS_N10	LP-E-N_2	
71	EXLVDS_P11	LP-E-P_1	
72	EXLVDS_P10	LP-E-P_2	
73	VDDL		VDDL Power Output
74	VDDH		VDDH Power Output
75	VDDL		
76	VDDH		

77	5V0		Connected to +5V
78	VDDP		VDDP Power Output
79	5V0		
80	VDDP		

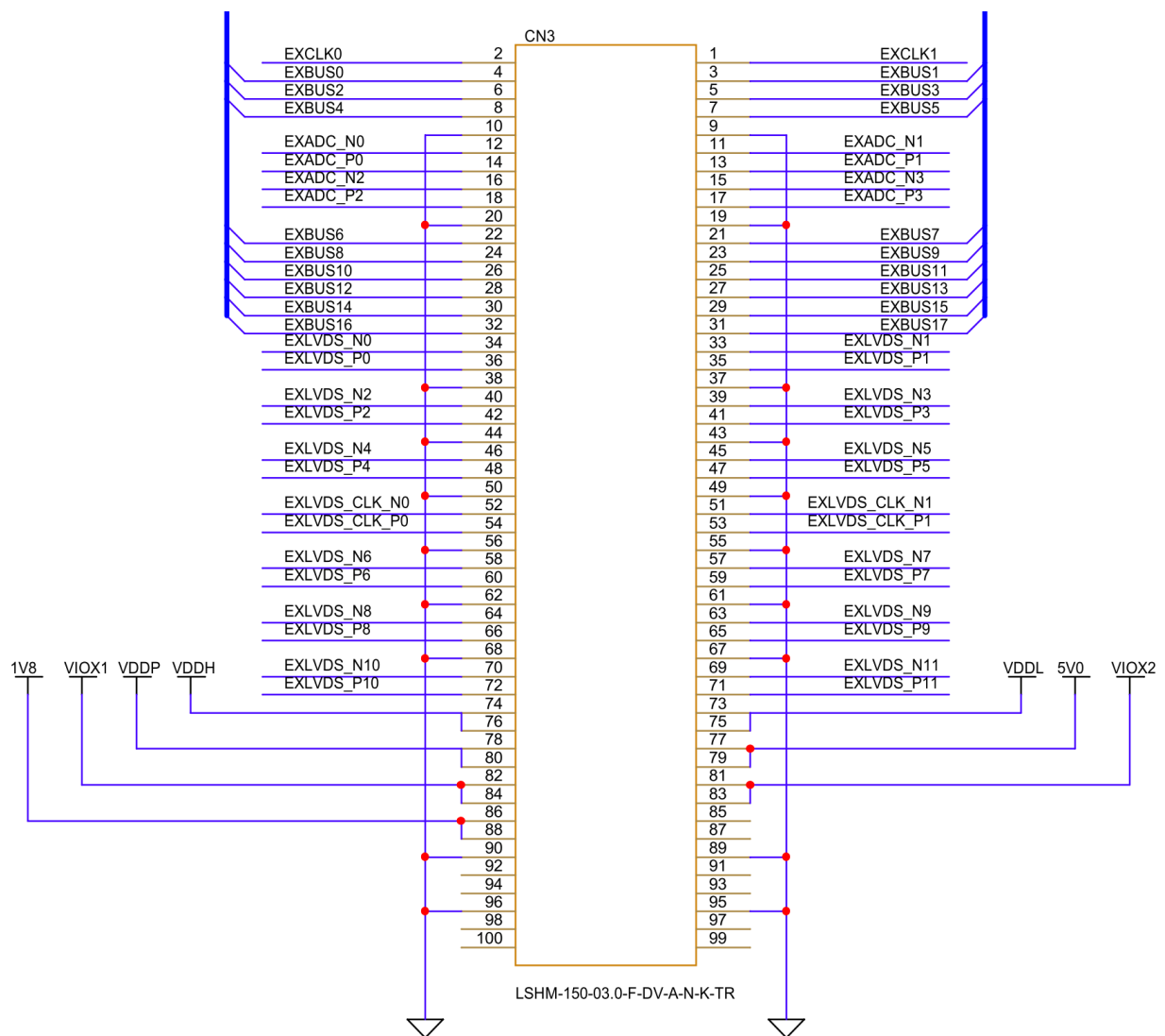
使用コネクタ		LSHM-150-03.0-F-DV-A-N-K-TR / Samtec	
ピン番	信号名	兼用機能 (参考)	備考
81	VIOX2		IO Level Voltage 2
82	VIOX1		IO Level Voltage 1
83	VIOX2		
84	VIOX1		
85	Not Connected		Rev. 3 で NC に変更
86	1V8		Connected to +1.8V
87	Not Connected		Rev. 3 で NC に変更
88	1V8		
89	GND		
90	GND		
91	Not Connected		Rev. 3 で NC に変更
92	Not Connected		Rev. 3 で NC に変更
93	Not Connected		Rev. 3 で NC に変更
94	Not Connected		Rev. 3 で NC に変更
95	GND		
96	GND		
97	Not Connected		Rev. 3 で NC に変更
98	Not Connected		Rev. 3 で NC に変更
99	Not Connected		Rev. 3 で NC に変更
100	Not Connected		Rev. 3 で NC に変更

– シングルエンド IO 電圧レベルについて

シングルエンドの IO ピンとして使用する場合、ピンにより 2 種類の電圧レベルが使用できます。対応は下記の通りです。

EXCLK[1:0], EXBUS[5:0], EXADC_xx: VDDX1 レベル

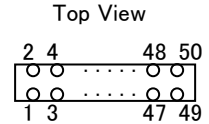
EXBUS[17:6], EXLVDS_xx: VDDX2 レベル



6.3. CN4: ターゲット接続コネクタ B

ターゲットとなるイメージセンサを接続するためのコネクタです。

パラレル接続で入力する場合、CN4 (16bit を超える場合 CN5 も使用する) から信号を入力します。

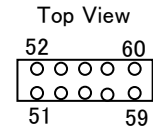


使用コネクタ		A1-50PA-2.54DSA: ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	VDDL	OUT	ターゲットI/Oレベル電源 (1.2 – 3.6V まで設定可能)	2	GND	–	–
3	P0	IN	汎用入力ポート 0 / Pixel_DATA16	4	GND	–	–
5	P1	IN	汎用入力ポート 1 / DE 入力 (8–16bit) / Pixel_DATA17	6	GND	–	–
7	P2	IN	汎用入力ポート 2 / Pixel_DATA18	8	GND	–	–
9	P3	OUT / IN	汎用出力ポート 0 / Pixel_DATA24	10	GND	–	–
11	P4	OUT / IN	汎用出力ポート 1 / DE 入力 (24bit) / Pixel_DATA25	12	HSYNC	IN	水平同期入力
13	VSYNC	IN	垂直同期入力	14	XRST	OUT	リセット信号出力
15	VDDH	OUT	ターゲット電源 (1.2 – 3.6V まで設定可能)	16	GND	–	–
17	SDA	IO	I2C_DATA	18	GND	–	–
19	SCL	IO	I2C_CLK	20	GND	–	–
21	DCK	IN	Pixel_CLK (ピクセルクロック入力)	22	GND	–	–
23	Y0	IN	Pixel_DATA0	24	GND	–	–
25	Y1	IN	Pixel_DATA1	26	GND	–	–
27	Y2	IN	Pixel_DATA2	28	GND	–	–
29	Y3	IN	Pixel_DATA3	30	GND	–	–
31	Y4	IN	Pixel_DATA4	32	GND	–	–
33	Y5	IN	Pixel_DATA5	34	GND	–	–
35	Y6	IN	Pixel_DATA6	36	GND	–	–
37	Y7	IN	Pixel_DATA7	38	GND	–	–
39	CLKOUT	OUT	ターゲット駆動用クロック	40	GND	–	–
41	Y8	IN	Pixel_DATA8	42	Y9	IN	Pixel_DATA9

43	Y10	IN	Pixel_DATA10	44	Y11	IN	Pixel_DATA11
45	Y12	IN	Pixel_DATA12	46	Y13	IN	Pixel_DATA13
47	Y14	IN	Pixel_DATA14	48	Y15	IN	Pixel_DATA15
49	VDDP	OUT	ターゲット補助電源 (1.5 – 4.1V まで設定可能)	50	P5	OUT / IN	汎用出力ポート 2 / Pixel_DATA26

6.4. CN5: ターゲット接続コネクタ C

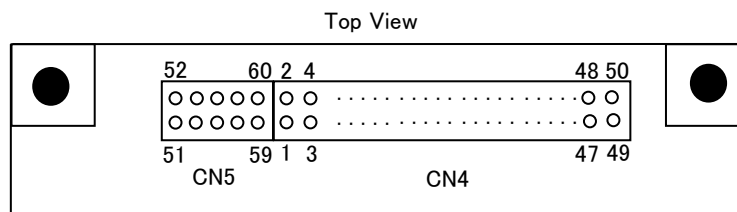
ターゲットを接続するコネクタです。



使用コネクタ		A1-10PA-2.54DSA: ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
51	P6	OUT / IN	汎用出力ポート 3 / Pixel_DATA27	52	P7	OUT / IN	汎用出力ポート 4 / Pixel_DATA28
53	P8	OUT / IN	汎用出力ポート 5 / Pixel_DATA29	54	P9	OUT / IN	汎用出力ポート 6 / Pixel_DATA30
55	P10	OUT / IN	汎用出力ポート 7 / Pixel_DATA31	56	P11	IN	汎用入力ポート 3 / Pixel_DATA19
57	P12	IN	汎用入力ポート 4 / Pixel_DATA20	58	P13	IN	汎用入力ポート 5 / Pixel_DATA21
59	P14	IN	汎用入力ポート 6 / Pixel_DATA22	60	P15	IN	汎用入力ポート 7 / Pixel_DATA23

- CN5 はオプションです。SVI-09標準版ではピンヘッダは未実装になります。
- Pixel_DATA[31:24] の入出力方向は、入力 bit 幅設定に応じて変更されます。

6.5. CN4 と CN5 の位置関係



- ・ CN4 と CN5 を合わせて 60 ピンのピンヘッダ相当になっています。
- ・ 60 ピン接続コネクタは、ケーブルで接続の場合に”ヒロセ電機: HIF3BA-60D-2.54R”、ボード対ボードの接続の場合に”ヒロセ電機: HIF3H-60DA-2.54DSA(71)”になります。

6.6. 入力データ構成表

SVI-09 に YUV 形式や RGB24 形式のイメージセンサを接続する場合、下表に従って結線してください。

Format	YUV4:2:2			RGB565	RGB24
Bit Width	8bit (UYVY/YUY2)	16bit (UYVY)	32bit (UYVY)	16bit	24bit
Pixel_DATA [31:24]	–	–	V	–	–
Pixel_DATA [23:16]	–	–	Y	–	R
Pixel_DATA [15:8]	–	U, V	U	b7 – b0 R[4:0],G[5:3]	B
Pixel_DATA [7:0]	Y, U, V	Y	Y	b7 – b0 G[2:0],B[4:0]	G

– VS, HS, DCK の極性は任意

7. 各部詳細

7.1. SW1: プッシュ・スイッチ

通常使用しません。

7.2. SW2: DIP スイッチ

SVI-09 の各種動作モードを設定するための 8bit のスイッチです。

スイッチ SW2 により下記の設定が可能です。

SVI-09 の出荷時の設定は、ベンダーモードになっています。(SW2 #5, 8 ON)

7.2.1. ベンダーモード

番号#	項目	OFF 時	ON 時
1	I2C 転送速度	1 番 OFF 2 番 OFF 400Kbps ※出荷時	
2		1 番 ON 2 番 OFF 100Kbps	
		1 番 OFF 2 番 ON 200Kbps	
		1 番 ON 2 番 ON 100Kbps	
3	ボード番号	3 番 OFF 4 番 OFF 0 ※出荷時	
4		3 番 ON 4 番 OFF 1	
		3 番 OFF 4 番 ON 2	
		3 番 ON 4 番 ON 3	
5	マスタークロック分周	1/1	1/2 ※出荷時
6	カメラ電源設定	起動時電源 ON ※出荷時	起動時電源 OFF
7	動作モード設定 (起動時)	7 OFF 8 OFF UVC モード	
8		7 ON 8 OFF アップデートモード	
		7 ON 8 ON 設定禁止	
		7 OFF 8 ON ベンダーモード ※出荷時	

7.2.2. UVC モード

番号#	項目	OFF 時	ON 時
1	カメラ入力データ幅設定 1	8bit x 2 CLK	16bit x 1 CLK (YUV) 24bit x 1 CLK (RGB)
2	テストパターン出力 (UVC モードのみ)	通常動作	テストパターン出力
3	カメラ入力データ幅設定 2	(DIP SW 1 に従う)	32bit x 1/2 CLK
4	-	-	-
5	-		
6	-		
7	動作モード設定 (起動時)	7 OFF 8 OFF UVC モード	
8		7 ON 8 OFF アップデートモード	
		7 ON 8 ON 設定禁止	
		7 OFF 8 ON ベンダーモード	

UVC モードにおいて、信号極性や解像度等の設定は専用制御ソフトウェア “SVMctl.exe” により行います。

※LAN I/F ボードをお使いの場合は 7 番 8 番の設定が異なります。設定内容は LAN I/F ボードのハードウェア仕様書をご覧ください。

7.3. LED1-10: 動作状態表示

ボードや FPGA の動作状態を表示する LED です。

LED#	説明
1	点灯時、ターゲットへの電源供給を行っていることを示します。赤色 LED です。
2	点灯時、ターゲットへ供給しているクロックが Lock していることを示します。
3	点灯時、ターゲットからの映像入力に関する同期信号を検出していることを示します。
4	ターゲットからの VSYNC 同期信号を 3 分周した周期で ON/OFF します。入力画像が 30 fps の場合、一秒間に 5 回点滅を繰り返します。
5	点灯時、映像フレームのフレームメモリへの書込みがアイドル状態であることを示します。
6	点灯時、フレームメモリへ映像フレームが最初に書込みされる際、セカンダリ側のフレーム情報管理テーブルが使用されることを示します。デフォルトはプライマリ側で、消灯となります。
7	点灯時、フレームメモリへ映像フレームを書込み可能であることを示します。
8	点灯時、フレームメモリから映像フレームを読み出し転送中であることを示します。
9	<ベンダーモード> 点灯時、USB 出力の読み出し DMA 転送が完了したことを示します。 <UVC モード> UVC 出力の FV(Frame Valid) パルスを 3 分周した周期で点滅します。
10	点灯時、ボードへ電源供給が行われていることを示します。赤色 LED です。

7.4. RV1, RV2, RV3: VDDH, VDDL, VDDP 調整用可変抵抗

SVI-09 ボードで生成するターゲットデバイス用電源の調整用可変抵抗です。VDDL, VDDH は 1.2V～3.6V の範囲で調整することができます。VDDP は 1.5V～4.1V の範囲で調整できます。

VDDL はトランスレータ IC に接続されており、パラレル映像入力信号や汎用入出力の電圧レベルを設定する必要があります。一方、VDDH、VDDP はコネクタに出力されているだけで、ボード内部では使用していません。いずれも外部デバイスの電源として使用できます。VDDL、VDDH、VDDP の詳細については 9 章をご覧ください。

出荷時には VDDL、VDDH、VDDP は 3.3 V に設定されています。使用前にターゲット側の電圧に合わせて調整する必要があります。

7.5. JP2: VDDP 選択用ジャンパ

SVI-09 ボードの VDDP 電源出力は、USB 電源からの +5V 出力およびボード上レギュレータからの可変電源の 2 系統から JP2 によって選択します。

JP2 状態	VDDP
1-2 短絡	可変電源
2-3 短絡	VUSB (+5V)

7.6. JP3, JP4: VIOX1, VIOX2 設定用ジャンパ

SVI-09 ボードでは従来基板で実装している IO コネクタに加えて、新たにコネクタ CN3 を追加しています。CN3 のシングルエンド IO については 2 系統の IO 電圧を設定でき、この IO 電圧 (VIOX1, VIOX2) は JP3, JP4 により設定します。電圧設定値は下表の通りです。**JP3, JP4 のジャンパピンを挿入せずに SVI-09 ボードの電源を投入すると故障に繋がりますので、ご注意ください。**

VIOX1、VIOX2 と CN3 の各 IO ピンとの対応は、後述のピン配置表を参照してください。

JP3 電圧設定 (VIOX1)

JP3 状態	VIOX1
1-2 短絡	1.8V
3-4 短絡	2.5V
5-6 短絡	3.3V

JP4 電圧設定 (VIOX2)

JP4 状態	VIOX2
1-2 短絡	1.8V
3-4 短絡	2.5V
5-6 短絡	3.3V

8. チェック端子

・TP6: VDDH チェック用 VIA

VDDH の調整時に使用する VIA です。

・TP7: VDDL チェック用 VIA

VDDL の調整時に使用する VIA です。

・TP5, 8, 9, 10, 11, 25, 34 電圧チェック用 VIA

SVI-09 ボードの動作で必要となる各電源電圧の確認用 VIA です。

・TP3: GND チェック用 VIA

電圧調整時などの GND として使用してください。

*上記は Rev.3 についての記述です。Rev.1、Rev.2 の場合は異なりますので、お問い合わせ下さい。

9. ターゲット用電源

SVI-09 にはボード内に実装されている IC の電源の他に、ターゲットデバイス用として 複数系統の可変電圧電源を用意しています。

9.1. VDDH: ターゲットデバイス用システム電源

VDDH はイメージセンサやターゲットデバイスの電源電圧として使用されることを想定しています。基板上に実装している可変抵抗 RV1 にて調整します。およそ 1.2V～3.6V の範囲で調整することができ、200mA 程度の電流を出力することができます。出荷時は+3.3V に設定しています。

9.2. VDDL: ターゲットデバイス用 IO 電源

VDDL はイメージセンサなどの IO 電源として使用されることを想定しています。基板上に実装している可変抵抗 RV2 にて調整します。およそ 1.2V～3.6V の範囲で調整することができ、200mA 程度の電流を出力することができます。

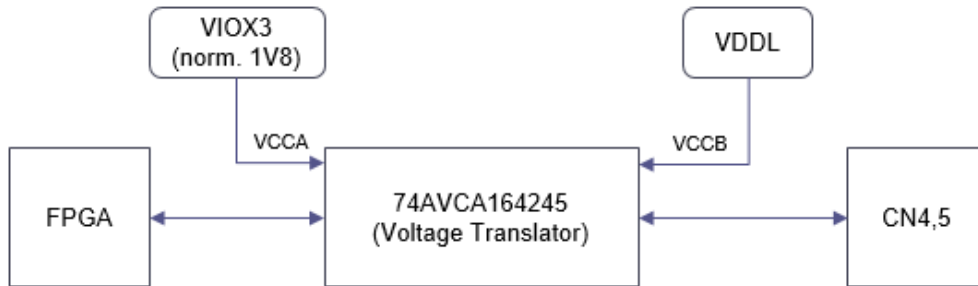
SVI-09 にはレベルコンバータ IC を搭載しており、**CN4、5 を使用する**場合、入出力信号は VDDL レベルから内部 IO レベルへ変換します。したがって、**ターゲットデバイスで VDDL を使用しない場合でも、VDDL と出力 IO レベルが一致するように調整する必要があります。**

CN3 を使用する場合、CN3 の IO 電圧 (VIOX1, VIOX2) はジャンパ JP3、4 によって選択するため、VDDL の電圧とは独立に設定されます。出荷時は+3.3V に設定しています。

9.3. VDDP: ターゲットデバイス用補助電源

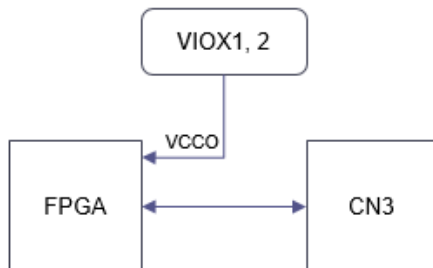
VDDP はイメージセンサやターゲットデバイスの補助電源として使用されることを想定しています。ジャンパ JP2 の状態が 1-2 間短絡の時は、VDDP は基板上に実装している可変抵抗 RV3 にて調整できます。およそ 1.5V～4.1V の範囲で調整することができ、200mA 程度の電流を出力することができます。JP2 が 2-3 間短絡の場合、VDDP には USB 電源の +5V が直接出力されます。出荷時は+3.3V に設定しています。

9.4. CN4,5 入出力回路概略図



– 各ピンの IO 電圧は VDDL の電圧によって決定されます。

9.5. CN3 入出力回路概略図



– 各ピンの IO 電圧は VIOX1、VIOX2 の電圧によって決定されます。

10. 注意事項

本ボードをご使用する際は、以下の注意事項を必ずお守り下さい。

1. ファーム、FPGA のアップデートはホスト PC から専用の制御ソフトウェアを使用します。
2. ターゲットの接続および取り外しを行う場合は、SVI-09 ボードの電源を必ず OFF の状態にして行って下さい。
3. 本ボードへの電源供給に関して、電流容量に十分余裕のある電源をご使用ください。PCからの電源供給は、お客様の自己責任の下で行ってください。万が一PCが破損にいたった場合、一切責任を負いかねます。
4. 本書の内容に関しては、将来予告なしに変更することがあります。
5. 本書の内容の一部又は全部を無断で転載することは、禁止されています。
6. 本書の内容については万全を期していますが、万が一不審な点や誤り、記載もれなどお気付きの点がありましたら sv-support@net-vision.co.jp へご連絡ください。

11. Appendix

11.1. CN2: USB3.0 コネクタ

ホストPCと接続するUSB3.0コネクタです。市販のUSB3.0ケーブルが使用できます。

SVI-09 の電源供給用としての使用を兼ねたコネクタです。

使用コネクタ		USB30B-09K-PC: 日本コネクタ					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	VBUS	IN	+5V パスパワー	2	D-	I/O	USB2.0 差動ペア-
3	D+	I/O	USB2.0 差動ペア+	4	GND	-	パワー用グラウンド
5	SSRX-	IN	USB3.0 受信差動ペア-	6	SSRX+	IN	USB3.0 受信差動ペア+
7	GND DRAIN	-	信号用グラウンド	8	SSTX-	OUT	USB3.0 送信差動ペア-
9	SSTX+	OUT	USB3.0 送信差動ペア+				

11.2. CN6: FPGA-JTAG コネクタ

FPGA ビット・ストリームの SPI-ROM への書き込み、または動作中 FPGA をデバッグするために使用する JTAG ポートです。

通常の動作において、使用する必要はありません。

※方向は、FPGA から見た場合になります。

使用コネクタ		A3B-14PA-2DSA(71): ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	GND	-		2	VREF	OUT	参照電圧(3.3V)
3	GND	-		4	TMS	IN	JTAG-TMS
5	GND	-		6	TCK	IN	JTAG-TCK
7	GND	-		8	TDO	OUT	JTAG-TDO
9	GND	-		10	TDI	IN	JTAG-TDI
11	GND	-		12	NC	-	(未接続)
13	GND	-		14	NC	-	(未接続)

- 使用した場合の動作保証はいたしません。

11.3. CN7: FX3-JTAG コネクタ

FX3 ファームウェアをデバッグするために使用する JTAG ポートです。

通常の動作において、使用する必要はありません。

※方向は、FX3 から見た場合になります。

使用コネクタ		A2-7PA-2.54DSA(71): ヒロセ電機					
ピン番	信号名	方向	備考	ピン番	信号名	方向	備考
1	+3.3V	OUT	参照電圧(3.3V)	2	TMS	IN	JTAG-TMS
3	TCK	IN	JTAG-TCK	4	TDO	OUT	JTAG-TDO
5	TDI	IN	JTAG-TDI	6	TRST	OUT	Reset
7	GND	-					

- CN7については、オプションです。ピンヘッダは未実装になります。
- 使用した場合の動作保証はいたしません。